

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000122747 A**(43) Date of publication of application: **28 . 04 . 00**

(51) Int. Cl. **G06F 1/04**  
**H04B 1/40**  
**H04B 7/26**  
**H04J 13/00**

(21) Application number: **10289542**(22) Date of filing: **12 . 10 . 98**(71) Applicant: **NEC CORP**(72) Inventor: **OGORO KAZUO**

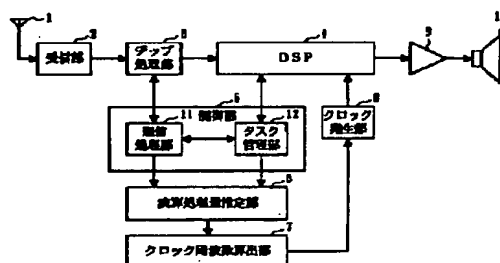
(54) **DEVICE AND METHOD FOR CONTROLLING  
DIGITAL SIGNAL PROCESSING PART**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To surely reduce power consumption in a digital signal processing part.

**SOLUTION:** A clock generation part 8 supplies a clock to a digital signal processing part(DSP) 4 and clock frequency supplied from the clock generation part 8 to the DSP 4 is controlled based on the arithmetic processing quantity of the DSP 4. Especially the occupation ratio of an idle state, i.e., an operation margin, in the arithmetic processing of the DSP 4 is estimated and the clock frequency is controlled based on the operation margin.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-122747  
(P2000-122747A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
H 0 4 B 1/40		H 0 4 B 1/40	5 K 0 1 1
7/26		7/26	X 5 K 0 2 2
H 0 4 J 13/00		H 0 4 J 13/00	A 5 K 0 6 7

審査請求 有 請求項の数14 O L (全 8 頁)

(21) 出願番号 特願平10-289542

(22) 出願日 平成10年10月12日 (1998. 10. 12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 尾頃 和夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

Fターム (参考) 5B079 AA07 BA01 BA15 BB01 BC01

5K011 EA01 JA01 KA03

5K022 EE01 EE21 EE31

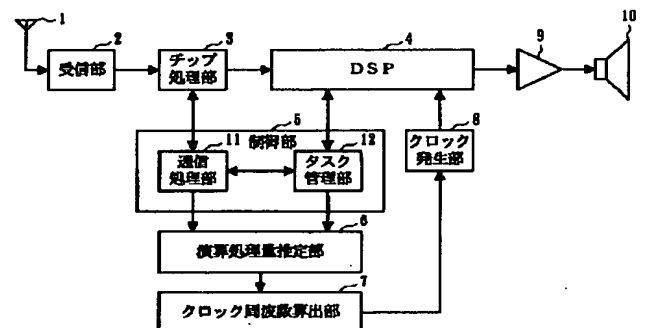
5K067 AA43 BB04 CC10 HH21 KK13

(54) 【発明の名称】 デジタル信号演算処理部の制御装置および方法

(57) 【要約】

【課題】 デジタル信号演算処理部での消費電力を確実に低減する。

【解決手段】 DSP 4 にクロックを供給するクロック発生部 8 を設け、このクロック発生部 8 から DSP 4 へ供給するクロック周波数を、DSP 4 での演算処理量に基づいて制御する。特に、DSP 4 での演算処理におけるアイドル状態の占有率すなわち演算マージンを推定し、その演算マージンに基づいてクロック周波数を制御する。



## 【特許請求の範囲】

【請求項 1】 上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御装置において、デジタル信号演算処理部での演算処理量を推定する推定手段と、

この推定手段からの推定値に基づき新たなクロック周波数を算出するクロック周波数算出手段と、このクロック周波数算出手段により算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するクロック発生手段とを備えることを特徴とするデジタル信号演算処理部の制御装置。

【請求項 2】 請求項 1 記載のデジタル信号演算処理部の制御装置において、推定手段は、演算処理量の推移に基づいて新たな演算処理量を推定する手段を有することを特徴とするデジタル信号演算処理部の制御装置。

【請求項 3】 請求項 1 記載のデジタル信号演算処理部の制御装置において、推定手段は、直前の演算処理量からの変化方向に基づいて所定の単位演算処理量だけ増減することにより新たな演算処理量を推定する手段を有することを特徴とするデジタル信号演算処理部の制御装置。

【請求項 4】 請求項 1 記載のデジタル信号演算処理部の制御装置において、推定手段は、上位制御部からのシステム動作情報に基づいてデジタル信号演算処理部での演算処理量を推定する手段を有することを特徴とするデジタル信号演算処理部の制御装置。

【請求項 5】 請求項 1 記載のデジタル信号演算処理部の制御装置において、推定手段は、デジタル信号演算処理部で並列的に実行されているデジタル信号演算処理が一巡するのに要するタスク周回時間の推移から演算処理量を推定する手段を有することを特徴とするデジタル信号演算処理部の制御装置。

【請求項 6】 請求項 1 記載のデジタル信号演算処理部の制御装置において、推定手段は、演算処理量の代わりにデジタル信号演算処理部の処理動作に含まれるアイドル状態の占有率を示す演算マージン量を推定する手段を有することを特徴とするデジタル信号演算処理部の制御装置。

【請求項 7】 CDMA無線端末に用いられ、上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御装置において、CDMA無線端末の動作状態を示す動作情報に基づいてデジタル信号演算処理部での演算処理量を推定する推定手段と、

この推定手段からの推定値に基づき新たなクロック周波

数を算出するクロック周波数算出手段と、

このクロック周波数算出手段により算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するクロック発生手段とを備えることを特徴とするデジタル信号演算処理部の制御装置。

【請求項 8】 上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御方法において、デジタル信号演算処理部での演算処理量を推定し、推定された演算処理量に基づき新たなクロック周波数を算出し、

算出された周波数のクロックを発生させてデジタル信号演算処理部に供給することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 9】 請求項 8 記載のデジタル信号演算処理部の制御方法において、演算処理量の推移に基づいて新たな演算処理量を推定することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 10】 請求項 8 記載のデジタル信号演算処理部の制御方法において、直前の演算処理量からの変化方向に基づいて所定の単位演算処理量だけ増減することにより新たな演算処理量を推定することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 11】 請求項 8 記載のデジタル信号演算処理部の制御方法において、上位制御部からのシステム動作情報に基づいてデジタル信号演算処理部での演算処理量を推定することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 12】 請求項 8 記載のデジタル信号演算処理部の制御方法において、デジタル信号演算処理部で並列的に実行されているデジタル信号演算処理が一巡するのに要するタスク周回時間の推移から演算処理量を推定することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 13】 請求項 8 記載のデジタル信号演算処理部の制御方法において、演算処理量の代わりにデジタル信号演算処理部の処理動作に含まれるアイドル状態の占有率を示す演算マージン量を推定することを特徴とするデジタル信号演算処理部の制御方法。

【請求項 14】 CDMA無線端末に用いられ、上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御方法において、

CDMA無線端末の動作状態を示す動作情報に基づいてデジタル信号演算処理部での演算処理量を推定し、推定された演算遅延量に基づき新たなクロック周波数を算出し、

算出された周波数のクロックを発生させてデジタル信号演算処理部に供給することを特徴とするデジタル信号演算処理部の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号演算処理部の制御装置および方法に関し、特にデジタル信号演算処理部の消費電力を削減するデジタル信号演算処理部の制御装置および方法に関するものである。

【0002】

【従来の技術】一般に、情報機器や通信機器、例えばCDMA (Code Division Multiple Access) 無線端末では、デジタル信号処理の高度化や高速化、あるいはデジタル信号処理量の増加に対応するため、機器全体を制御する制御部(CPU)とは別個に、デジタル信号演算処理部(以下、DSPという: Digital Signal Processor)を設け、各種信号処理を行うものとなっている。

【0003】このようなDSPは、通常、イベント・ドリブンの処理に基づいて制御されている。すなわち、通常、DSPはアイドル状態にあり、制御部からタスクが発行されたときに割り込みで起動され、所望のデジタル信号演算処理を行い、その演算処理が終わるとDSPはアイドル状態に戻る。

【0004】従来では、図10に示すように、所定時間長のフレーム内における当該システムの最大要求演算処理量を予め予測し、フレームごとに行う演算処理量はそのフレーム内で必ず終了するように、その演算処理時間 $t_{s1}$ が不足せず、かつアイドル時間 $t_{m1}$ だけマージンを得られるクロックの周波数を固定的に設定するのが一般的であった。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来のデジタル信号演算処理部の制御装置では、DSPが行う演算処理量が常に一定であれば問題ないものの、演算処理量が大きく変化するような場合、例えば、図10の期間T1と期間T2のように演算処理量が極めて小さくなった場合、演算処理速度Sが一定であれば、演算処理時間 $t_{s2}$ が短縮されてアイドル時間 $t_{m2}$ が長くなり、無駄な電力が消費されるという問題点があった。

【0006】なお、アイドル状態にDSPへのクロック供給を停止することにより、DSP内部での消費電流を平均的に低減する方式が考えられる。しかし、外部の発振回路をいったん止めてしまうと、再び発振を開始させるときに、発振が安定するまである程度の(無視できない長さの)時間を要し、イベントがドリブンされてDSPに割り込みが入ったときに、速やかに演算処理に入ることができない。

【0007】したがって、DSP内部へクロックを供給

する外部の発振回路を動作させる必要がある。これにより、アイドル状態といえども外部の発信回路での消費電力を0にはできず、例えばDSPでの処理量が少なく単位時間当たりのアイドル状態が多い場合は、処理量に比例して消費電力を低減させることができないという問題点があった。

【0008】また、アイドル状態の割合を減らすために、DSPのクロックとしてある程度低いクロック周波数を設定する方式も考えられるが、この場合は、DSPがフル稼働したときの演算処理可能量が低下してしまう。本発明はこのような課題を解決するためのものであり、デジタル信号演算処理部での消費電力を適正に低減できるデジタル信号演算処理部の制御装置を提供することを目的としている。

【0009】

【課題を解決するための手段】このような目的を達成するために、本発明による請求項1の発明は、上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御装置において、デジタル信号演算処理部での演算処理量を推定する推定手段と、この推定手段からの推定値に基づき新たなクロック周波数を算出するクロック周波数算出手段と、このクロック周波数算出手段により算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するクロック発生手段とを備えるものである。したがって、推定されたデジタル信号演算処理部での演算処理量に基づき新たなクロック周波数が算出され、その周波数のクロックがデジタル信号演算処理部に供給される。

【0010】また、請求項2の発明は、請求項1記載のデジタル信号演算処理部の制御装置において、推定手段に、演算処理量の推移に基づいて新たな演算処理量を推定する手段を有するものである。また、請求項3の発明は、請求項1記載のデジタル信号演算処理部の制御装置において、推定手段に、直前の演算処理量からの変化方向に基づいて所定の単位演算処理量だけ増減することにより新たな演算処理量を推定する手段を有するものである。

【0011】また、請求項4の発明は、請求項1記載のデジタル信号演算処理部の制御装置において、推定手段に、上位制御部からのシステム動作情報に基づいてデジタル信号演算処理部での演算処理量を推定する手段を有するものである。また、請求項5の発明は、請求項1記載のデジタル信号演算処理部の制御装置において、デジタル信号演算処理部で並列的に実行されているデジタル信号演算処理が一巡するのに要するタスク周回時間の推移から演算処理量を推定する手段を有するものである。また、請求項6の発明は、請求項1記載のデジタル信号演算処理部の制御装置において、演算処理量の代わりにデジタル信号演算処理部の処理動作に

含まれるアイドル状態の占有率を示す演算マージン量を推定する手段を有するものである。

【0012】また、請求項7の発明は、CDMA無線端末の動作状態を示す動作情報に基づいてデジタル信号演算処理部での演算処理量を推定する推定手段と、この推定手段からの推定値に基づき新たなクロック周波数を算出するクロック周波数算出手段と、このクロック周波数算出手段により算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するクロック発生手段とを備えるものである。

【0013】また、請求項8の発明は、デジタル信号演算処理部での演算処理量を推定し、推定された演算処理量に基づき新たなクロック周波数を算出し、算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するようにしたものである。また、請求項9の発明は、請求項8記載のデジタル信号演算処理部の制御方法において、演算処理量の推移に基づいて新たな演算処理量を推定するようにしたものである。

【0014】また、請求項10の発明は、請求項8記載のデジタル信号演算処理部の制御方法において、直前の演算処理量からの変化方向に基づいて所定の単位演算処理量だけ増減することにより新たな演算処理量を推定するようにしたものである。また、請求項11の発明は、請求項8記載のデジタル信号演算処理部の制御方法において、上位制御部からのシステム動作情報に基づいてデジタル信号演算処理部での演算処理量を推定するようにしたものである。

【0015】また、請求項12の発明は、請求項8記載のデジタル信号演算処理部の制御方法において、デジタル信号演算処理部で並列的に実行されているデジタル信号演算処理が一巡するのに要するタスク周回時間の推移から演算処理量を推定するようにしたものである。また、請求項13の発明は、請求項8記載のデジタル信号演算処理部の制御方法において、演算処理量の代わりにデジタル信号演算処理部の処理動作に含まれるアイドル状態の占有率を示す演算マージン量を推定するようにしたものである。

【0016】また、請求項14の発明は、CDMA無線端末に用いられ、上位制御部からの演算処理要求に応じて、所定のデジタル信号演算処理を行うデジタル信号演算処理部の制御方法において、CDMA無線端末の動作状態を示す動作情報に基づいてデジタル信号演算処理部での演算処理量を推定し、推定された演算遅延量に基づき新たなクロック周波数を算出し、算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するようにしたものである。

【0017】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は本発明の一実施の形態であるデジタル信号演算処理部の制御装置を示すブロック図であ

り、特に本発明をCDMA (Code Division Multiple Access) 無線端末の受信系に適応した場合が例として示されている。以下では、本発明をCDMA無線端末の受信系に適応した場合を例として説明するが、これに限定されるものではなく、デジタル信号演算処理部を用いる装置であればいずれの装置にも適用可能である。

【0018】本発明は、デジタル信号演算処理部（以下、DSPという）4に任意の周波数のクロックを供給するクロック発生部8を設け、このクロック発生部8からDSP4へ供給するクロックの周波数を、DSP4での演算処理量に基づいて制御するようにしたものである。

【0019】図1において、2はアンテナ1を介して電波を受信する受信部、3は受信部2で得られた受信信号のうち復号化すべき複数のパスを決定するチップ処理部、4はDSP、5はCDMA無線端末の各部を制御する制御部、9はDSPにより得られた音声信号を増幅し、スピーカ10から出力する増幅器である。

【0020】8はDSP4に対して任意の周波数のクロックを供給するクロック発生部である。なお、クロック発生部8としては、VFO（電圧一周波数発振器）のほか、PLL（Phase-Locked Loop）回路を用いてもよく、特にPLL回路の場合は、周波数の安定した良好なクロックが得られる。

【0021】また、6は制御部5からの情報に基づいてDSP4での演算処理量を推定する演算処理量推定部、7はこの演算処理量推定部6で推定された演算処理量に基づいてDSP4へ供給するクロックの新たな周波数を算出してクロック発生部8に指示するクロック周波数算出部7である。

【0022】制御部5において、11はCDMA無線端末の通信状態および動作を管理する通信処理部、12は通信処理部で必要となったDSP4でのタスク処理を管理するタスク管理部である。DSP4に対するタスクは、イベント・ドリブン処理に基づき、タスク管理部12からDSP4に対して複数のタスクが並行して発行される。

【0023】DSP4に発行されるタスクの内容としては、例えば時間的に連続する音声信号の復号化処理の他に、チップ処理部3でのパス決定処理を支援するための演算処理、さらには各パスごとに異なる遅延タイミングを用いた逆拡散処理、位相ズレの検出補間処理および検波処理などがあり、処理の所要時間が制限されるものが多い。ここでは、DSP4に発行されたタスクが所定時間長のフレーム内に全て終了させることを条件とする。

【0024】なお、一般に、DSP4における演算処理量は、演算処理速度を高くすることにより増加し、さらに処理時間を長くすることにより増加することから、演算処理量は、演算処理速度と処理時間との積に比例すると考えられる。また、演算処理速度とは、単位時間当た

10

20

30

40

50

りのDSP4の演算処理量であり、DSP4のクロック周波数にほぼ比例するが、実際には、各タスクが多数の命令（オペレーティング・シーケンス）により構成されており、1命令を実行するのに1以上のクロック時間長が必要となることから、1命令当たりの平均クロック数などを考慮する必要がある。

【0025】次に、図2を参照して、本発明の動作について説明する。まず、電源を投入した場合などの初期状態では、DSP4の所定の演算処理量に対応した所定周波数がクロック周波数算出部7からクロック発生部8に設定され、その周波数のクロックがDSP4に供給される。DSP4は、その後、タスク管理部12から発行されたタスクに応じて、その演算処理量に対応したクロックに基づき演算処理を開始する。

【0026】続いて、図2に示したクロック周波数更新処理が、所定期間例えばフレームごとに繰り返し実行される。まず、演算処理量推定部6は、新たなDSP4での演算処理量を推定する（ステップ21）。

【0027】クロック周波数算出部7では、演算処理量推定部6で推定された演算処理量がフレーム内ですべて処理終了しうクロック周波数を算出し（ステップ22）、クロック発生部8に対してこれを設定する（ステップ23）。これにより、新たな周波数のクロックがDSP4に供給開始される。

【0028】演算処理量推定部6での演算量推定方法としては、例えば図3に示すように、タスク管理部12から得られたDSP4における現在までの演算処理量の推移から、新たな演算処理量を推定してもよい。例えば、現在（時刻 $t_0$ ）や過去（時刻 $t_{-1}$ 、時刻 $t_{-2}$ ）の演算処理量 $P_0$ 、 $P_{-1}$ 、 $P_{-2}$ などから、1次近似、2次近似、線形予測などの手法により、新たな（時刻 $t_1$ ）の演算処理量 $P_1$ を推定するようにしてもよい。

【0029】したがって、図3に示したように、DSP4での演算処理量の減少が演算処理量推定部6で推定された場合、クロック周波数算出部7は、図4の期間T1から期間T2に示すように、演算処理速度を現在の $S_0$ から $S_1$ に減少させるべく、DSP4のクロック周波数を下げるようにクロック発生部8を制御する。一方、DSP4の演算処理量の増加が推定された場合は、これと逆のフィードバックを行い、クロック周波数を上げるように働く。

【0030】この場合、クロック周波数算出部7における周波数算出方法は、当該システムによって最適な方法によって行われる。例えば、各フレーム内での演算処理時間 $t_{s1}$ 、 $t_{s2}$ を一定時間長とし、推定された演算処理量とその演算処理時間 $t_{s1}$ 、 $t_{s2}$ 内で終了するようなクロック周波数を算出してよく、これにより各フレーム内でのアイドル時間 $t_{m1}$ 、 $t_{m2}$ すなわち演算マージンを一定時間長だけ確保できる。

【0031】また、演算マージンとして一定時間長では

なく一定処理量だけ確保するようにしてもよい。この場合は、推定された演算処理量と演算マージン量との和を、フレーム内で処理するために必要なクロック周波数を算出すればよい。

【0032】次に、図5～図9を参照して、演算処理量の推定方法について説明する。図5～7は演算処理量の他の推定方法を示す説明図である。前述では、演算処理量推定部6において、DSP4での新たな演算処理量を今までの推移から推定するようにした場合について説明したが、演算処理量の推定方法としてはこれに限定されるものではなく、各種方法が考えられる。

【0033】図5では、実演算処理量51の変化方向に応じて所定量だけ加減算することにより、推定演算処理量52を推定する方法が示されている。例えば、時刻T11では、そのときの実演算処理量と直前の実演算処理量との比較結果から、実演算処理量51の増加がある程度検出されるため、直前の推定演算処理量52に一定処理量 $\Delta P$ だけ加算して新たな推定演算処理量を得る。

【0034】また、時刻T12では、実演算処理量51の変化がほとんどなくなるため、推定演算処理量52も一定とする。さらに、時刻T13では、実演算処理量51の減少がある程度検出されるため、直前の推定演算処理量52から一定処理量 $\Delta P$ だけ減算して新たな推定演算処理量を得る。

【0035】この方法によれば、比較的簡単な処理により新たな演算処理量を推定でき、演算処理量推定部6での処理負担を大幅に軽減できる。なお、実演算処理量については、タスク管理部12からの管理情報により演算処理量推定部6で算出してもよく、タスク管理部12で算出した演算処理量を用いるようにしてもよい。

【0036】また、図6では、当該システムの動作状態、例えばCDMA無線端末の動作状態に応じて、DSP4での演算処理量を推定する方法が示されている。DSP4での演算処理量は、当該システムの動作状態の切り替わり時に大きく変化し、同一動作状態内ではあまり変動することがない。これは、同一動作状態内では、CDMA無線端末の処理動作が安定し、DSP4に発行されるタスク量が大幅に変化しないからである。

【0037】これに対して、例えばハンドオーバー時には、CDMA無線端末の処理動作が安定せず、DSP4に発行されるタスク量が大幅に変化する。図7はハンドオーバー時における演算処理量の変化を示す説明図であり、特にCDMA無線端末が通話状態にある場合が例として示されている。時刻T31以前において、通信（通話）に用いている合成パス71の受信電界強度（RSSI）が良好であり、この期間におけるDSP4の演算処理量は、ほぼ通話中（定常）のP22（図6参照）に安定している。

【0038】ここで、時刻T31に合成パス71の受信電界強度が所定のしきい値 $R_{th}$ を下回った場合は、ハンド

オーバー状態となり、他の合成パスをサーチする処理が開始される。ここでは、図 8 に示すように、各遅延量

(位相) ごとの受信電界強度の分布すなわち受信プロファイルが算出され、その受信電界強度の高いものから順に新たな合成パス 72 に用いる個々の候補パスの遅延量が選択される。

【0039】したがって、時刻 T31 の直後は、DSP4 での演算処理量が、通話 (ハンドオーバー開始時) の P31 まで大幅に増加する。その後の時刻 T32 において、合成パス 72 に用いる個々のパスの遅延量が選択された場合は、新規に受信プロファイルを算出する必要がなくなり、DSP4 では選択された候補パスに対する差分の算出すなわち監視追従処理が実行される。これにより、時刻 T32 からは、DSP4 での演算処理量が、通話 (ハンドオーバー中) の P32 まで低減する。

【0040】その後、時刻 T33 において、合成パス 72 の受信電界強度がしきい値  $R_{th}$  を上回った場合は、通信状態が安定したと判断されてハンドオーバー処理が終了する。これにより、合成パス 72 の各候補パスに対する監視追従処理が不要となり、DSP4 での演算処理量が、通話中 (定常) の P22 まで低減する。

【0041】したがって、図 6 に示すように、各動作状態ごとに当該システムにおけるおおよその推定演算処理量  $P_{11} \sim P_{41}$  を予め記憶しておき、動作状態の変化に応じて対応する推定演算処理量を読み出すことにより、DSP4 の演算処理量が大幅に変化する場合でも、迅速かつ適切に対応できる。

【0042】なお、図 6 において、推定演算処理量の代わりに、クロック周波数をそのまま記憶しておき、動作状態の変化に応じて、新たなクロック周波数を読み出すようにしてもよい。この方法によれば、簡素な構成で極めて容易に当該システムに最適な新たな演算処理量あるいはクロック周波数を算出できる。

【0043】また、図 9 では、DSP4 におけるタスク周回時間に応じて演算処理量を推定する方法が示されている。例えば、フレーム開始時において推定された演算処理量から所定のクロック周波数が選択されて、5 つのタスク TSK1 ～ TSK5 の実行が開始されたとする。各タスクは、マルチタスク処理に応じて短い期間ごとに順に切替られて実行され、これが TSK1 ～ TSK5 ま

で一巡するように繰り返し実行される。

【0044】時刻 T21 において、所定のクロック周波数で 5 つのタスク TSK1 ～ TSK5 が実行されている場合、各タスクを一巡する時間すなわちタスク周回時間は  $t_{r1}$  であったとする。その後、例えばフレーム時間長の  $1/2$  に位置する時刻 T22 において、タスク TSK2, TSK3, TSK5 が終了し、これらタスクに対する処理がわずかとなるため、タスク周回時間  $t_{r2}$  に短縮されたとする。

【0045】ここで、これら  $t_{r1}$ ,  $t_{r2}$  とそのフレ

ーム内での時間位置とから、時刻 T22 以降の期間における DSP 演算処理量の演算マージンの有無が確認できる。例えば、時刻 T22 がフレーム長の  $1/2$  に位置することから、この時点で  $t_{r2}$  が全タスク実行に要する  $t_{r1}$  の  $1/2$  より小さい場合は、時刻 T22 までに処理が平均より早く進んだことになり、フレーム終了時刻 T24 より手前の時刻 T23 で全タスクの処理が終了する。

【0046】したがって、このように演算マージンが確認された場合は、時刻 T22 において、 $t_{r1}$ ,  $t_{r2}$  の比とそのフレーム内での時間位置とから、新たな演算処理量を推定する。これにより、フレーム途中で今までよりも低い新たなクロック周波数が設定され、残りのタスクがフレーム終了時点あるいはその直前で終了するものとなり、クロック周波数の低減分だけ消費電流が削減される。

【0047】このような動作によって、結果として常に消費電流が少なく最適化された DSP の演算が可能となる。なお、タスク周回時間は、タスク管理部 12 で測定してもよく、タスク管理部 12 からの情報に応じて演算処理量推定部 6 で測定してもよい。

【0048】なお、以上の説明において、演算処理量推定部 6 およびクロック周波数算出部 7 での処理を制御部 5 あるいは DSP4 の内部で行うようにしてもよく、回路規模の増大を抑制できる。また、演算処理量推定部 6 では、フレーム内で実行される演算処理量を推定するようにした場合について説明したが、フレーム内での全演算処理量に含まれるアイドル状態の占有率、すなわち演算マージン量を推定してもよく、前述と同様の作用効果が得られる。

【0049】また、前述した図 3, 5, 6 での演算処理量の推定方法では、各フレームごとに演算処理量を推定する場合を例に説明したが、これに限定されるものではなく、フレームより短い期間ごとに実行するようにしてもよい。

【0050】

【発明の効果】以上説明したように、本発明は、デジタル信号演算処理部での演算処理量を推定する推定手段と、この推定手段からの推定値に基づき新たなクロック周波数を算出するクロック周波数算出手段とを設けて、このクロック周波数算出手段により算出された周波数のクロックを発生させてデジタル信号演算処理部に供給するようにしたものである。したがって、余分なアイドル状態の発生が抑制されて、デジタル信号演算処理部を必要最小限のクロック周波数で動作させることが可能になり、デジタル信号演算処理部での消費電力を確実に低減できる。

【図面の簡単な説明】

【図 1】 本発明の一実施の形態によるデジタル信号演算処理部の制御装置を示すブロック図である。

【図 2】 本発明の動作を示すフローチャートである。

【図 3】 演算処理量の推定方法を示す説明図である。

【図 4】 本発明によるデジタル信号演算処理部の動作を示すタイミングチャートである。

【図 5】 演算処理量の他の推定方法を示す説明図である。

【図 6】 演算処理量の他の推定方法を示す説明図である。

【図 7】 ハンドオーバー時における演算処理量の変化を示す説明図である。

【図 8】 受信プロファイルを示す説明図である。

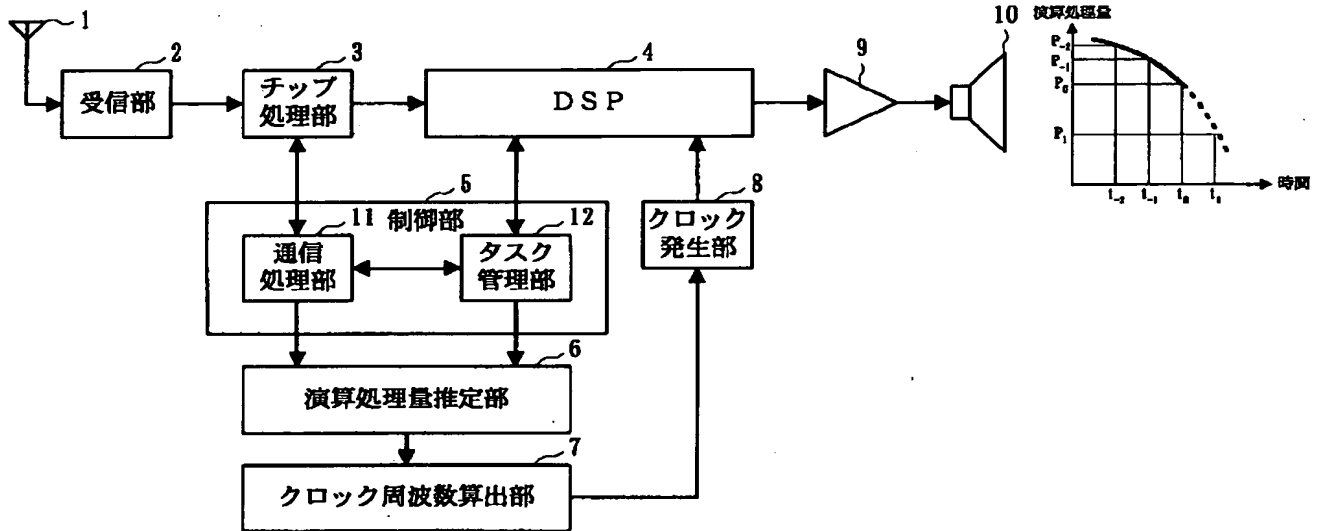
\* 【図 9】 演算処理量の他の推定方法を示す説明図である。

【図 10】 従来のデジタル信号演算処理部の動作を示すタイミングチャートである。

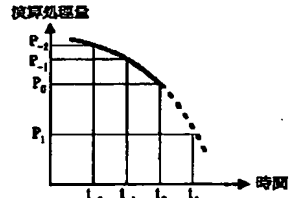
【符号の説明】

1…アンテナ、2…受信部、3…チップ処理部、4…デジタル信号演算処理部(DSP)、5…制御部、6…演算処理量推定部、7…クロック周波数算出部、8…クロック発生部、9…増幅器、10…スピーカ、11…通信処理部、12…タスク管理部。

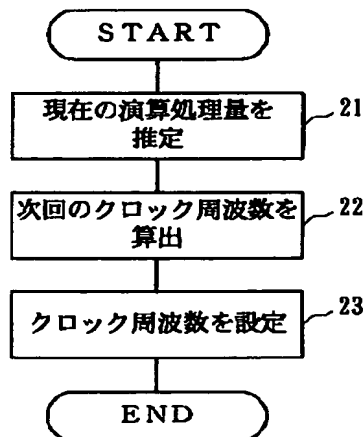
【図 1】



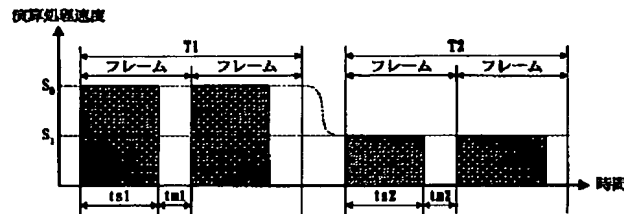
【図 3】



【図 2】

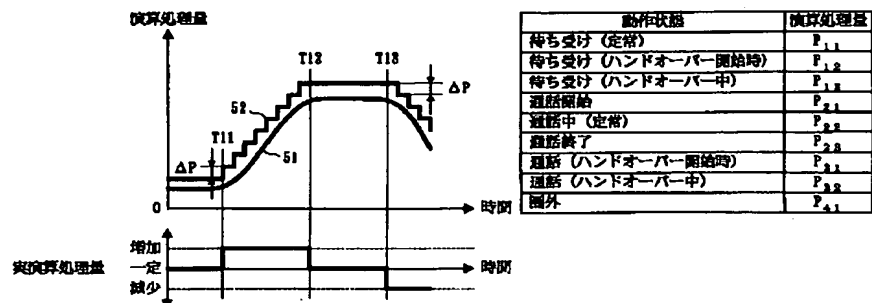


【図 4】



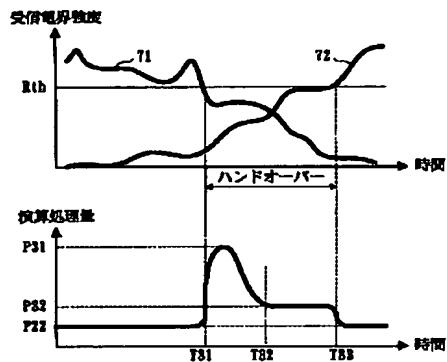
【図 5】

【図 6】

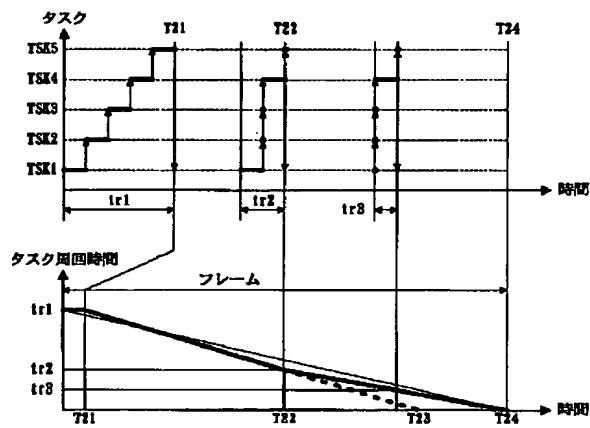




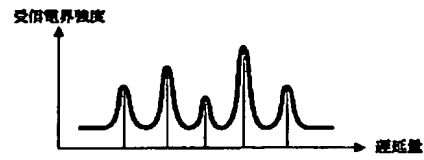
【図 7】



【図 9】



【図 8】



【図 10】

